

THIN FILM TRANSISTOR TYPE LIQUID CRYSTAL DISPLAY DEVICE

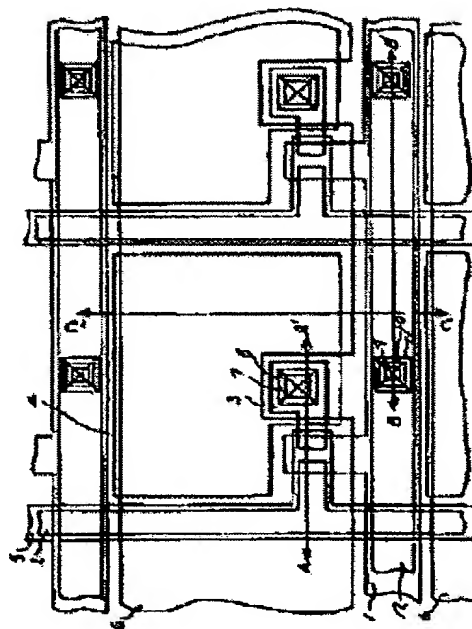
Patent number: JP4358129
Publication date: 1992-12-11
Inventor: OGURA SHIGEKI; NISHIKI TAMAHIKO; YOSHIZAWA YOSHIYO
Applicant: OKI ELECTRIC IND CO LTD
Classification:
- international: **G02F1/1333; G02F1/1343; G02F1/136; G02F1/1368; H01L21/336; H01L27/12; H01L29/78; H01L29/786; G02F1/13; H01L21/02; H01L27/12; H01L29/66; (IPC1-7): G02F1/1333; G02F1/1343; G02F1/136; H01L27/12; H01L29/784**
- european:
Application number: JP19910116425 19910522
Priority number(s): JP19910116425 19910522

Report a data error here

Abstract of JP4358129

PURPOSE: To prevent a light leak near a drain electrode and reduce the resistance of a gate electrode as to a TFT-LCD.

CONSTITUTION: A shield electrode 6 is formed on the drain electrode 2. The shield electrode 6 is connected electrically to a counter electrode. A gate auxiliary electrode 12 which is connected electrically to the gate electrode 1 through contact holes 9-11 is formed on the gate electrode 1. Consequently, a voltage signal on the drain electrode 2 is cut off by the shield electrode 6 and never enters a liquid crystal layer. Further, the gate auxiliary electrode 12 reduces the resistance of the gate electrode.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-358129

(43) 公開日 平成4年(1992)12月11日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/1333	5 0 5	7610-2K		
1/1343		9018-2K		
H 0 1 L 27/12	A	8728-4M		
		9056-4M		
			H 0 1 L 29/78	3 1 1 A

審査請求 未請求 請求項の数 1 (全 6 頁) 最終頁に続く

(21) 出願番号 特願平3-116425

(22) 出願日 平成3年(1991)5月22日

(71) 出願人 000000295

沖縄電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 小椋 茂樹

東京都港区虎ノ門1丁目7番12号 沖縄電気工業株式会社内

(72) 発明者 西木 玲彦

東京都港区虎ノ門1丁目7番12号 沖縄電気工業株式会社内

(72) 発明者 ▲よし▼澤 佳代

東京都港区虎ノ門1丁目7番12号 沖縄電気工業株式会社内

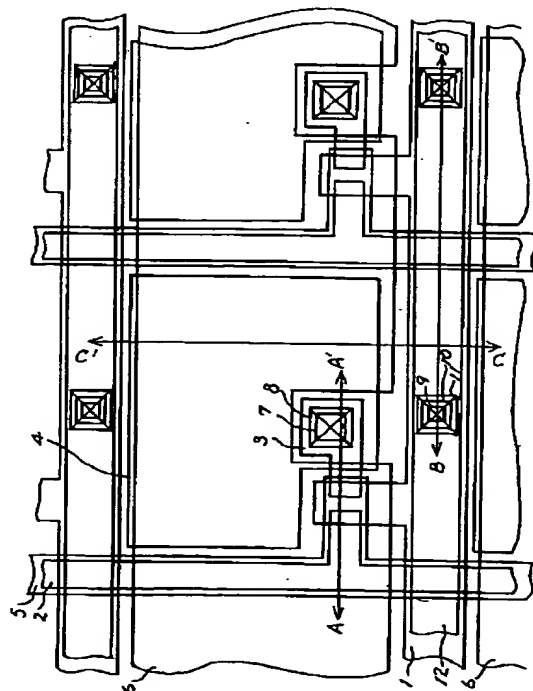
(74) 代理人 弁理士 清水 守 (外2名)

(54) 【発明の名称】 薄膜トランジスタ型液晶表示装置

(57) 【要約】

【目的】 TFT-LCDにおいて、ドレイン電極脇の光漏れ防止及びゲート電極を低抵抗化を行う。

【構成】 ドレイン電極2上には遮蔽電極6が形成されている。遮蔽電極6は対向電極と電氣的に接続されている。また、ゲート電極1の上にはコンタクトホール9～11によりゲート電極1と電氣的に接続されたゲート補助電極12が形成されている。このように構成すると、ドレイン電極2上の電圧信号は遮蔽電極6により遮蔽され、液晶層に入らなくなる。また、ゲート補助電極12によりゲート電極の抵抗が小さくなる。



1

【特許請求の範囲】

【請求項1】 複数のゲート電極と、該ゲート電極と交差する複数のドレイン電極と、その交差部に設けられた薄膜トランジスタと、該薄膜トランジスタのソース電極に接続された画素電極とを有する薄膜トランジスタ基板と、液晶を挟んで該薄膜トランジスタ基板と対向する対向電極基板とを備えた薄膜トランジスタ型液晶表示装置において、前記薄膜トランジスタ基板は、(a) 前記ゲート電極上に形成された第1絶縁膜と、(b) 該第1絶縁膜上で、かつ、前記ソース電極と前記画素電極との接続部以外の全面に形成された第2絶縁膜と、(c) 該第2絶縁膜上で、かつ、少なくとも前記トランジスタのチャンネル部を除いたゲート電極及び前記ソース電極と前記画素電極との接続部以外の全面に形成された遮蔽電極と、(d) 該遮蔽電極上で、かつ、少なくとも前記ソース電極と前記画素電極との接続部以外の全面に形成された第3絶縁膜と、(e) 該第3絶縁膜上に形成された前記画素電極と、(f) 該第2絶縁膜又は第3絶縁膜上でかつ前記トランジスタのチャンネル部を除いた前記ゲート電極上に形成され、前記ゲート電極と電気的に接続されたゲート補助電極とを備え、かつ、前記遮蔽電極に

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタ型液晶表示装置における電極構造とパターンに関するものである。

【0002】

【従来の技術】 従来、この分野の技術としては例えば「EID90-6, ED90-35, IE90-15, 10, 4型カラーTFT-LCDの開発」に記載されたものが知られている。図7は前記文献等に記載されている薄膜トランジスタ（以下、「TFT」という）の構造を示す一部断面図である。

【0003】 従来、薄膜トランジスタ型液晶表示装置（以下「TFT-LCD」という）におけるTFT構造は、図7に示されるような逆スタガ型構造が主流であった。すなわち、ゲート電極32は最も下に形成されており、ゲート絶縁膜34、半導体層35、オーミック接合層36と続いて形成された後、ドレイン-ソース電極電極37、38が形成されるという構造である。また、画素電極33は、この図のようにドレイン-ソース電極37、38より後に形成されるものと、先に形成されるものとがあり、どちらかが採用されている。そして、最後にバッシベーション膜39が設けられている。

【0004】

【発明が解決しようとする課題】 しかしながら、上記のようなTFT構造の場合、以下のような問題点があっ

2

た。第1に、ドレイン電極と液晶層との間には絶縁膜しがなく、ドレイン電極上の信号が液晶層に入り込み、液晶層を動作させてしまい、その結果ドレイン電極脇で光漏れが発生し、コントラストが低下するという点である。

【0005】 第2に、1フレームの期間の画素電圧の保持特性を向上させるための補助容量を設ける場合、1本前のゲート電極との間に形成するくらいしか方法はなく、この方法は、ゲート電極に輸入されるゲートパルス10を歪ませる原因となるゲート電極の容量負荷を大きくしてしまうという欠点があった。本発明は、以上述べたドレイン電極脇の光漏れ、及び補助容量を形成するとゲートパルスが歪むという問題点を解決して、表示品質の優れたTFT-LCDを提供することを目的とする。

【0006】

【課題を解決するための手段】 本発明は、複数のゲート電極と、それらのゲート電極と交差する複数のドレイン電極と、その交差部に設けられたTFTと、TFTのソース電極に接続された画素電極とを有するTFT基板と、液晶を挟んでTFT基板と対向する対向電極基板とを備えたTFT-LCDにおいて、TFT基板は、ゲート電極上に形成された第1絶縁膜と、第1絶縁膜上で、かつ、ソース電極と画素電極との接続部以外の全面に形成された第2絶縁膜と、第2絶縁膜上で、かつ、少なくともTFTのチャンネル部を除いたゲート電極及びソース電極と画素電極との接続部以外の全面に形成された遮蔽電極と、遮蔽電極上で、かつ、少なくともソース電極と画素電極との接続部以外の全面に形成された第3絶縁膜と、第3絶縁膜上に形成された前記画素電極と、第2絶縁膜又は第3絶縁膜上で、かつ、TFTのチャンネル部を除いたゲート電極上に形成され、ゲート電極と電気的に接続されたゲート補助電極とを備え、かつ、遮蔽電極に

【0007】

【作用】 本発明によれば、以上のようにTFT-LCDを構成したので、ドレイン電極上の電圧信号は遮蔽電極により遮蔽され、液晶層に入らなくなる。また、遮蔽電極と画素電極との間に形成される蓄積容量がゲート-ソース電極間寄生容量に起因する画素電極電圧のシフトダウンを軽減させ、かつ画素電極電圧の保持特性を向上させる。さらに、ゲート補助電極がゲート電極と接続されているので、ゲート電極の抵抗、容量が小さくなる。

【0008】

【実施例】 以下、本発明の実施例について図面を参照しながら詳細に説明する。図1は本発明の実施例におけるTFT基板の電極パターンを示す平面図、図2は本発明の実施例におけるTFT基板のTFTのチャンネル部（図1のA-A'）断面図、図3は本発明の実施例におけるTFT基板の一部（図1のB-B'）断面図、図4は本

3

発明の実施例におけるTFT基板の一部(図1のC-C')断面図である。以下、図1~図4を参照して、本実施例の構成を詳しく説明する。

【0009】まず図1及び図2に示すように、本実施例におけるTFT基板の電極パターンの基本構造は、ゲート電極1とドレイン電極2の交差する場所において半導体層5をチャネルとするソース電極3との間にトランジスタが形成され、ソース電極3と画素電極4は第1コンタクトホール7により電気的に接続されている。そして、図2~図4に示すように、最も下に形成されているゲート電極1の上には、ゲート絶縁膜として機能する第1絶縁膜15が、第3コンタクトホール9の部分を除いて全面に形成されている。なお、本実施例では、図2及び図4に示すように、チャネル部及びゲートドレイン電極1、2の交点部のゲート電極1の表面は陽極酸化され、ゲートドレイン電極1、2間のショートを防ぐためのゲート陽極酸化膜13が形成されている。

【0010】また、図3において、ゲート電極1上に陽極酸化膜が形成されていないのは、第3コンタクトホール9によりゲート電極1とゲート補助電極12とを電気的に接続するからである。この第1絶縁膜15の上には半導体層5が図1に示すパターンで形成されている。半導体層5は、原理的にはトランジスタのチャネル部のみあればよいのであるが、このパターンとしたのはゲートドレイン電極1、2間のショート低減等のためである。

【0011】この半導体層5の上にはオーミック接合層14があるが、トランジスタのチャネル部には少なくともあってはならないので、そのパターンはドレイン電極2とソース電極3と半導体層4の重なる部分に形成されている。オーミック接合層14もこのパターンである必要はなく、上記と同じ理由でこのパターンとなっている。

【0012】このオーミック接合層14の上に、ドレイン-ソース電極2、3が図1に示すようなパターンで形成されている。このパターンはごく一般的なものである。ドレイン-ソース電極2、3の上に第2絶縁膜16が、図2~図4に示すように、第1、第4コンタクトホール7、10を除いて全面に形成されている。この第2絶縁膜の上に遮蔽電極6が図1に示すパターンで形成されている。すなわち、ゲート電極1及び第1、第2コンタクトホール7、8以外に形成されるものであり、かつ、ゲート電極1と平行方向に形成されているものである。後で詳しく述べるように、これら遮蔽電極6はTFTアレイの外部において、電気的に接続されているものであり、遮蔽電極6は一つの電極をなしている。この遮蔽電極は透明でなければならない。

【0013】遮蔽電極6の上には第3絶縁膜17がある。この第3絶縁膜17は、第2コンタクトホール8と第5コンタクトホール11以外に形成されている。第3

4

絶縁膜17の上には、画素電極4とゲート補助電極12が図1に示すパターンで同時に形成されている。この画素電極4は、第2絶縁膜16の第1コンタクトホール7と第3絶縁膜17の第2コンタクトホール8によって、ソース電極3と電気的に接続されている。また、ゲート補助電極12は第1絶縁膜15の第3コンタクトホール9と第2絶縁膜16の第4コンタクトホール10と第3絶縁膜17の第5コンタクトホール11によってゲート電極1と電気的に接続されている。さらに、ゲート補助電極12は、ゲート電極1とほぼ同一のパターンに形成されているのであるが、ドレイン電極2との交差部においては、図3に示すように第2、第3絶縁膜16、17があることにより、電気的に非接続となっている。なお、ゲート補助電極12を画素電極4でなく、遮蔽電極6と同時に形成しても得られる効果はほぼ同じである。本実施例は、ドレイン電極2とゲート補助電極12のショートの起こりにくい構成にしてある。

【0014】図4から明らかなように、本実施例においては画素電極4と遮蔽電極6の間に容量を作り込むことができる。すなわち、画素電極4から見れば、下側は第3絶縁膜17を介して遮蔽電極6があるので、これが画素-遮蔽電極間容量を形成している。一方、上側は液晶であるので液晶とは並列に容量が形成されていることが分かる。なお、本実施例においては、図1に示すように、遮蔽電極6のパターンが画素電極4のパターンとすべて重なるように形成しているが、画素-遮蔽電極間容量をどの程度にするかに応じて、遮蔽電極6を小さくしてその一部が画素電極4と重なるようにすることもできる。

【0015】図5は本発明の実施例におけるTFT-LCDの1画素あたりの等価回路図である。図において、ゲート電極1とドレイン電極2の交差部にトランジスタ18があり、ゲート電極1がオンすると、ドレイン電極2上のドレイン信号がソース-画素電極3、4に書き込まれ、対向電極20との電位差により、液晶19が動作する。ここで、遮蔽電極6は画素電極4からみて、液晶と並列に容量を有するので、この図のように示され、また、遮蔽電極6はドレイン電極2上にも形成されているのでこの図のように示され、各々画素-遮蔽電極間容量21、遮蔽-ドレイン電極間容量22のように示される。

【0016】この図より、ゲート電極1がオンすると、ドレイン電極2にある電圧信号がトランジスタ18を通してソース-画素電極3、4に書き込まれることがわかる。この時、遮蔽電極6と画素電極4の間の画素-遮蔽電極間容量21が液晶19と並列に入っているため、液晶19の電圧保持特性は良好となる。また、遮蔽電極6はドレイン電極2上にもあるため、ドレイン電極信号は遮蔽電極6によって遮蔽され、ドレイン電極2上の液晶遮蔽電極6と対向電極20に挟まれているので対向-遮

5

蔽電極20、6間の電位差が液晶の閾値電圧 V_{th} 以下ならば動作しない。したがって、ドレイン電極2上の液晶は動作しないため、ドレイン電極脇の光漏れが起きることではない。

【0017】さらに、ゲートソース電極間容量による画素電圧のゲートオフ時のシフトダウンも画素-遮蔽電極間容量21により軽減される。また、遮蔽電極6はゲート電極1と重ならず、かつ、ゲート補助電極12がゲート電極1と接続されていることから、ゲート電極の抵抗、容量とも小さくてすみ、ゲート電圧の歪みはきわめて小さくなる。

【0018】図6は本発明の実施例によるTFT-LCDの電氣的ブロック図である。ゲートドライバ23とドレインドライバ24及び対向電極信号25は従来のTFT-LCDにおいても設けられていたものであり、本実施例においては遮蔽電極信号25を付加するのみなので、回路が複雑化することはない。そして、この遮蔽電極信号25はいかなるものにすればよいかであるが、これは対向電極と同じ信号にするのが好ましい。なぜなら、ドレイン電極2上の遮蔽電極6は、液晶を介して対向電極20と向き合っているのでここに液晶の閾値電圧 V_{th} 以上の電位差が生じれば、液晶が動作してしまうからである。したがって、対向電極信号25と遮蔽電極信号26とに印加する電圧の間に液晶を動作させない程度のDC成分があってもよい。最も簡単な方法はTFT-LCDパネル内のどこかで対向電極20と遮蔽電極6を電氣的に接続してしまうことである。

【0019】なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づき種々の変形が可能であり、それらを本発明の範囲から排除するものではない。

【0020】

【発明の効果】以上詳細に説明したように、本発明によれば、ドレイン電極上に遮蔽電極を設け、対向電極と同程度の電位を与えるようにしたので、ドレイン電極上の液晶が動作することがなくなる。その結果、ドレイン電極脇の光漏れをなくすることができる。

【0021】また、その遮蔽電極と画素電極との間に容量を形成することができるので、1フレーム間の画素電

6

圧保持特性は良好となり、かつ、ゲート電圧オフ時の画素電圧のシフトダウンが軽減される。その結果、コントラストが向上する。さらに、ゲート補助電極をゲート電極上に配置したことによって、ゲート電極の抵抗値が小さくなる。その結果、ゲート電圧パルスの歪みがなくなる。

【図面の簡単な説明】

【図1】本発明の実施例におけるTFT基板の電極パターンを示す平面図である。

10 【図2】本発明の実施例におけるTFT基板のTFTのチャネル部の断面図である。

【図3】本発明の実施例におけるTFT基板の一部（図1のB-B'）断面図である。

【図4】本発明の実施例におけるTFT基板の一部（図1のC-C'）断面図である。

【図5】本発明の実施例におけるTFT-LCDの1画素あたりの等価回路図である。

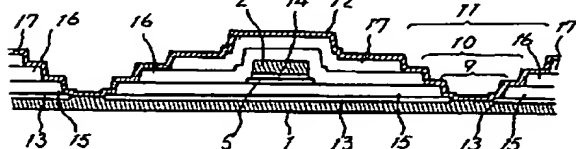
【図6】本発明の実施例によるTFT-LCDの電氣的ブロック図である。

20 【図7】従来のTFT基板の一部断面図である。

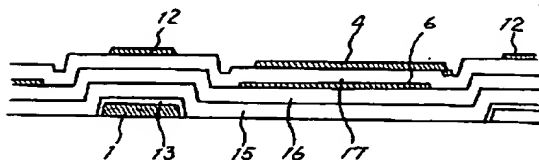
【符号の説明】

- | | |
|----|------------|
| 1 | ゲート電極 |
| 2 | ドレイン電極 |
| 3 | ソース電極 |
| 4 | 画素電極 |
| 5 | 半導体層 |
| 6 | 遮蔽電極 |
| 7 | 第1コンタクトホール |
| 8 | 第2コンタクトホール |
| 9 | 第3コンタクトホール |
| 10 | 第4コンタクトホール |
| 11 | 第5コンタクトホール |
| 12 | ゲート補助電極 |
| 13 | ゲート陽極酸化膜 |
| 14 | オーミック接合層 |
| 15 | 第1絶縁膜 |
| 16 | 第2絶縁膜 |
| 17 | 第3絶縁膜 |
| 20 | 対向電極 |

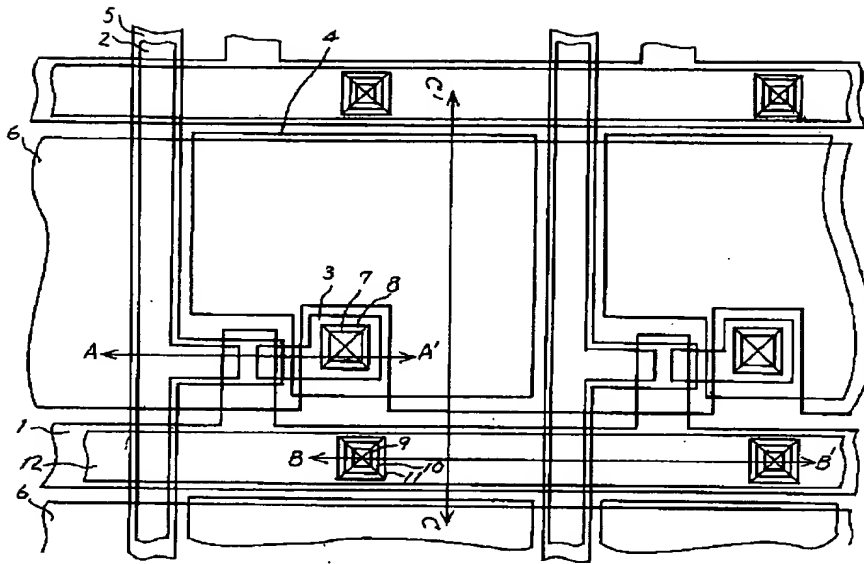
【図3】



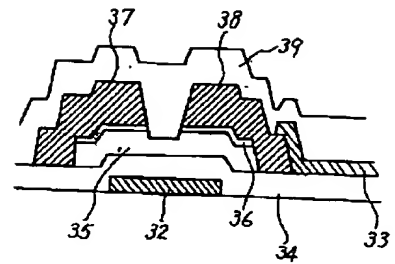
【図4】



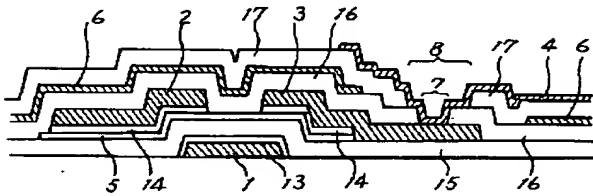
【図1】



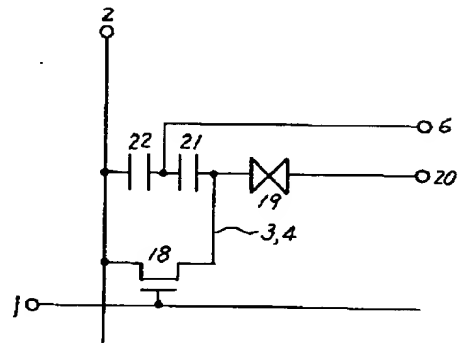
【図7】



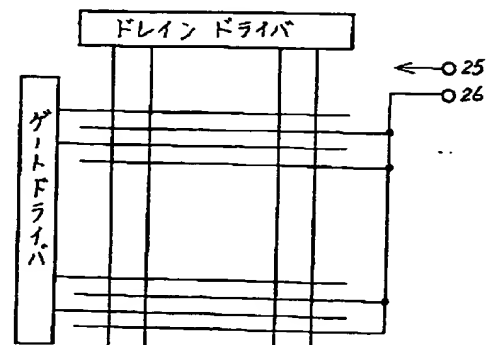
【図2】



【図5】



【図6】



- 1: ゲート電極
- 2: ドレイン電極
- 3: ソース電極
- 4: 画素電極
- 5: 半導体層
- 6: 遮蔽電極
- 7: 第1コンタクトホール
- 8: 第2コンタクトホール
- 9: 第3コンタクトホール
- 10: 第4コンタクトホール
- 11: 第5コンタクトホール
- 12: ゲート補助電極
- 13: ゲート陽極酸化膜
- 14: オーミック接合層
- 15: 第1絶縁膜
- 16: 第2絶縁膜
- 17: 第3絶縁膜

(6)

特開平4-358129

フロントページの続き

(51) Int. Cl.⁵

H 0 1 L 29/784

識別記号

庁内整理番号

F I

技術表示箇所